

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 28 日 (28.10.2004)

PCT

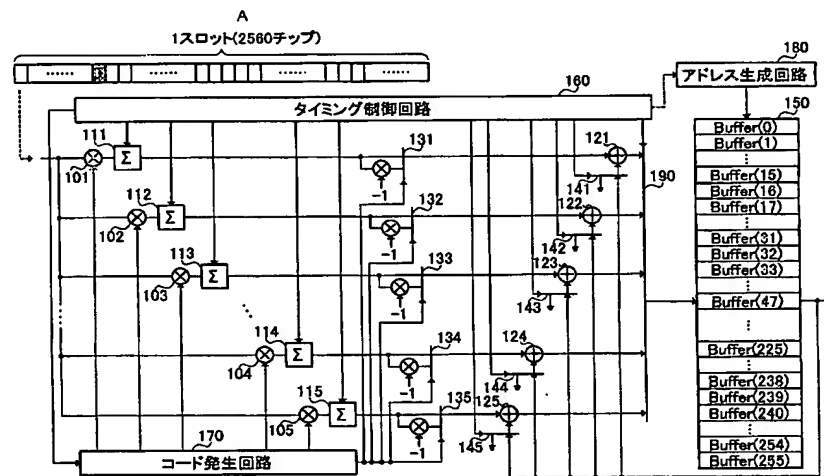
(10) 国際公開番号
WO 2004/093340 A1

- (51) 国際特許分類⁷: H04B 1/707 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/005113 (75) 発明者/出願人 (米国についてのみ): 前田 征彦
(MAEDA, Masahiko).
(22) 国際出願日: 2004 年 4 月 9 日 (09.04.2004) (74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒2060034
東京都多摩市鶴牧1丁目24-1 新都市センタービル5階
(25) 国際出願の言語: 日本語 Tokyo (JP).
(26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
(30) 優先権データ: 特願2003-109513 2003 年 4 月 14 日 (14.04.2003) JP DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
(71) 出願人 (米国を除く全ての指定国について): 松下電 LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
器産業株式会社 (MATSUSHITA ELECTRIC INDUS- NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大 SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
字門真1006番地 Osaka (JP). VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: CORRELATION VALUE CALCULATION CIRCUIT

(54) 発明の名称: 相関値演算回路



A...1 SLOT (2560 CHIPS)
160...TIMING CONTROL CIRCUIT
170...CODE GENERATION CIRCUIT
180...ADDRESS GENERATION CIRCUIT

(57) Abstract: Integration circuits (101-105) arranged on a 16-stage data bus, storage circuits (111-115), first selection circuits (131-135), addition circuits (121-125), and second selection circuits (141-145) constitute calculation circuits for performing correlation processing on the respective data buses. A code generation circuit (170) generates PSC and SSC as despread codes. A 16-bit code as a basic configuration of the PSC and SSC has a constant repetition characteristic of the positive polarity bit and the negative polarity bit. Accordingly, correlation processing can be performed for the reception data shifted by one chip in each of the 16 calculation circuits. Consequently, correlation processing can be performed at a desired timing at the first-stage process, the second-stage process, and the third-stage process.

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 16段のデータバスに配置される積算回路101~105、記憶回路111~115、第1選択回路131~135、加算回路121~125及び第2選択回路141~145は、それぞれのデータバスにおいて相関処理を行う演算回路を構成している。コード発生回路170が逆拡散コードとして発生するPSC及びSSCの基本構成である16ビットコードは、正極性のビットと負極性のビットとの繰り返し特性が一定であるので、16個の演算回路それぞれにおいて1チップずらした受信データに対して相関処理を行うことができる。したがって、第1段階処理、第2段階処理及び第3段階処理において所望のタイミングで相関処理を行うことができる。

明 細 書

相関値演算回路

5 技術分野

本発明は、W-CDMA (Wideband Code Division Multiple Access : 広帯域符号分割多元接続) 通信システムにて採用されている三段階セルサーチで用いる相関値演算回路に関する。

10 背景技術

送受信間で予め決められたフォーマットで通信を行うことは一般的であり、正しく受信するために受信信号のスロットタイミングを検出することが必要となる。特にW-CDMAでは、受信側において拡散符号及びそのタイミングを知らずに情報の復元を行うことはできないので、タイミングの検出および拡散符

15 号を同定することはきわめて重要になる。

図1は、基地局から端末局への回線である下り回線におけるデータのフォーマットを示す。図1において、1つのフレームは、15個のスロットで構成されている。1つのスロットは、10個のシンボルで構成されている。1つのシンボルは、256個のチップで構成されている。この1つのチップがデータの

20 最小単位である。

また、基地局から端末局への下り回線では、フレームと同じ周期を持つロングコードと、ロングコードよりも短い周期のショートコードとが用いられており、ロングコードとショートコードとの積によって拡散されている。そして、端末局にてスロットタイミングを検出することを容易にするために、スロット

25 の先頭シンボルを既知のショートコードのみで拡散している。

図2は、既知のショートコードで各スロットの先頭のシンボルを拡散した状態を示す。物理チャネルとしては、一次同期チャネル (P-SCH : Primary

Synchronization Channel) と二次同期チャネル (S-SCCH: Secondary Synchronization Channel) とがある。図2に示すように、P-SCCHでは、各スロットの先頭シンボルは C_{PSC} と表記される共通の一次同期コード (PSC: Primary Synchronization Code) で拡散されている。S-SCCHでは、各
5 スロットの先頭シンボルは $C_{SSC, k}$ ($k=0\sim15$) と表記される16種類ある二次同期コード (SSC: Secondary Synchronization Code) のいずれかで拡散されている。但し、図2において、 k, k', \dots, k'' は、 $0\sim15$ のいずれかが設定されるものとする。

また、図3Aは、PSCの生成方法を示し、図3Bは、SSCの生成方法を示す。PSCは、図3Aに示すように、16個のコードaで構成されているが、
10 このコードaが所定数ずつ正負反転した状態で16個並んだ構成となっている。また、SSCは、図3Bに示すように、アダマール行列 (Hadamard sequence) H_8 の16行毎の成分と z とを掛け合わせて生成される16種類のコードで構成されている。 z は、図3-Bに示すように、コードbが所定数ずつ
15 正負反転した状態で16個並んだ構成となっている。

タイミングの検出および拡散符号を同定する方法としては三段階セルサーチ法が知られている。第1段階処理では、PSCとの相関を取ってスロットタイミングを検出する。第2段階処理では、SSCとの相関とフレームタイミングとの相関を取ってフレームタイミングの検出及びスクランブルコードグループの同定を行う。第3段階処理では、第2段階処理で同定されたスクランブルコードグループに属するスクランプリングコードとの相関を取ってスクランブルコード、即ち拡散コードの同定を行う。

スロットタイミングを検出するためには、基地局から非同期にデータが送信されるので、あるタイミングを仮想スロットタイミングとし、そのタイミング
25 から第1段階処理が開始されてから最低1スロット長分のプロファイルを作成する必要がある。これは、2560回PSCとの相関を256タップのマッチドフィルタを使用して求めることによって実現される。マッチドフィルタで

の演算結果は、以下の数式（１）で表すことができる。なお、数式（１）において、 m は、０から２５５９までの値である。

$$\text{MFOUT}_{\text{Psc}}(m) = \sum_{n=0}^{255} \text{C}_{\text{Psc}}(n) \cdot \text{data}(n+m) \quad \dots\dots (1)$$

また、フレームタイミングの検出は、前述した方法で検出したスロットタイミングに対するＳＳＣとの相関を２５６タップのマッチドフィルタを使用して求めることによって実現される。マッチドフィルタでの演算結果は、以下の数式（２）で表すことができる。なお、数式（２）において、 m' は、０から２５５９までの値である。

$$\text{MFOUT}_{\text{SSC}}(m', k) = \sum_{n=0}^{255} \text{C}_{\text{SSC}, k}(n) \cdot \text{data}(n+m') \quad \dots\dots (2)$$

また、スクランプリングコードの同定も同様にマッチドフィルタを使用して以下の数式（３）ようにして求められる。なお、数式（３）において、 m'' は、０から３８３９までの値である。

$$\text{MFOUT}_{\text{scramb}}(m'') = \sum_{n=n'}^{n'+255} \text{C}_{\text{scramb}}(n) \cdot \text{data}(n+m'') \quad \dots\dots (3)$$

ここで、図４は、従来の相関値演算回路の構成例を示すブロック図である。

図４に示すように、従来の相関値演算回路は、コード発生器５０１が発生する３三階セルサーチにて使用するコードと受信データとの相関を２５６タップのマッチドフィルタ５０２にて求めるようにしている。

ここに、三段階セルサーチの第２段階や第３段階の処理では、マルチパスやノイズ等の影響もあり通常は複数タイミングについて処理を行うが、マッチドフィルタ５０２は、回路構成は単純であるが、２５６タップ構成となるので回路規模が大きくなり１系統しか持つことができない。

そのため、第２段階処理や第３段階処理など複数タイミング、複数コードに対して相関を求める必要があるときには、複数タイミングの受信データを蓄積するために蓄積ＲＡＭ５０３が設けられる。

しかしながら、従来の相関値演算回路では、図４に示すように、マッチドフィルタ５０２は、回路構成は単純であるが、２５６タップ構成となるので回路規模が非常に大きくなる。しかも、蓄積ＲＡＭが必要となるので、一層回路規

模が大きくなる。

また、マッチドフィルタ 502 は、相関を求めるための演算回路がデータバス上に非常に多く配置されるが、それらの演算回路が相関を求めるための演算の度に一齐に動くので、消費電力が非常に大きくなるという問題もある。

5

発明の開示

本発明は、これらの問題点を解決するものであり、回路規模を増大させるマッチドフィルタ及び蓄積 RAM を使用せずに相関を求めることができる相関値演算回路を提供することを目的とする。

- 10 本発明の一形態によれば、相関値演算回路は、受信データと逆拡散コードとの積を求める 16 段の積算手段と、前記積算手段の演算結果と保持しているデータとを加算し、その加算結果を新たに保持する 16 段の第 1 記憶手段と、拡散コードに従い、前記第 1 記憶手段からのデータと前記第 1 記憶手段からのデータを正負反転させたデータとのいずれか一方を選択して出力する 16 段の
- 15 第 1 選択手段と、256 サンプル分のデータを保持する第 2 記憶手段と、前記第 2 記憶手段が保持しているデータとゼロとのいずれか一方を選択する 16 段の第 2 選択手段と、前記第 1 選択手段が選択出力するデータと前記第 2 選択手段が選択出力するデータとの和を求める 16 段の加算手段と、前記 16 段の加算手段の加算結果のうちの一つを選択して前記第 2 記憶手段に送る第 3 選
- 20 択手段と、前記 16 段の積算手段に与える逆拡散コードとして、一次同期コードの第 1 基本構成である 16 ビットコードと二次同期コードの第 1 基本構成である 16 ビットコードとスクランプリングコードとをそれぞれ発生し、前記 16 段の第 1 選択手段に与える拡散コードとして、一次同期コードの第 2 基本構成である 16 ビットコードと二次同期コードの第 2 基本構成である 16 ビ
- 25 ットコードと固定値とをそれぞれ発生するコード発生手段と、を具備する。

図 1 は、従来の下り回線におけるデータのフォーマットを示す図、

図 2 は、従来の既知のショートコードで各スロットの先頭のシンボルを拡散した状態を表す図、

図 3 A は、従来の P S C の生成方法を説明する図、

5 図 3 B は、従来の S S C の生成方法を説明する図、

図 4 は、従来の従来の相関値演算回路の構成例を示すブロック図、

図 5 は、本発明の一実施の形態に係る相関値演算回路の構成を示すブロック図である。

10 発明を実施するための最良の形態

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。なお、本発明は、この実施の形態に何ら限定されるものではなく、その要旨を逸脱しない範囲において、種々の形態で実施することができる。

本発明の骨子は、P S C 及び S S C のコード構成の特性を利用して演算回路
15 及び蓄積 R A M を削減することである。以下、図 3 を参照して本発明が利用する P S C 及び S S C のコード構成について説明する。

P S C は、図 3 A に示すように 16 個のコード a で構成されているが、このコード a が所定数ずつ正負を反転した状態で 16 個並んだ構成となっている。つまり、P S C を構成する 16 ビットのコード a は、一定のルールに従って正
20 極性の状態と負極性の状態を繰り返すが、この繰り返し特性は、一定である。したがって、これを利用すれば、1 チップずれると別のタイミングであることが識別できる。三段階セルサーチの第 1 段階での P S C との相関処理では、この特性を利用してデータバス上の演算回路の削減を図ることができる。

また、S S C は、図 3 B に示すようにアダマール行列 (Hadamard sequence)
25 H_8 の 16 行毎の成分と z とを掛け合わせて生成される 16 種類のコードで構成されている。 z は、図 3 B に示してある通り、コード b が所定数ずつ正負を反転した状態で 16 個並んだ構成となっている。

そして、アダマール行列 H_8 の各行の成分 $h_m(0) \sim h_m(255)$ において $h_m(0) \sim h_m(15)$ 、 $h_m(16) \sim h_m(31)$ 、 $h_m(32) \sim h_m(47)$ 、 \dots 、 $h_m(250) \sim h_m(255)$ は、アダマール行列 H_4 の1行目の成分を $h'_0(0) \sim h'_0(15)$ とすると、 $h'_0(0) \sim h'_0(15)$ を所定数ずつ正負を反転した状態で16個並んだ構成となっている。

したがって、SSC自体の成分も $b(0) \times h'_0(0) \sim b(15) \times h'_0(15)$ を所定数ずつ正負を反転した状態で16個並んだ構成となっている。つまり、SSCを構成する16ビットのコードは、PSCと同様に、一定のルールに従って正極性の状態と負極性の状態を繰り返すが、この繰り返し特性は、一定である。したがって、これを利用すれば、1チップずれると別のタイミングであることが識別できる。三段階セルサーチの第2段階でのSSCとの相関処理では、この特性を利用して蓄積RAMを不要にすることができる。

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

図5は、本発明の一実施の形態に係る相関値演算回路の構成を示すブロック図である。図5に示す相関値演算回路は、16段の積算回路101, 102, 103, \dots , 104, 105と、16段の記憶回路111, 112, 113, \dots , 114, 115と、16段の加算回路121, 122, 123, \dots , 124, 125と、16段の第1選択回路131, 132, 133, \dots , 134, 135と、16段の第2選択回路141, 142, 143, \dots , 144, 145と、256サンプル分のデータが保持できるRAM150と、タイミング制御回路160と、コード発生回路170と、RAM150のアドレスを生成するアドレス生成回路180と、第3選択回路190とを備えている。

タイミング制御回路160は、各回路の動作を制御するタイミング信号を発生する。コード発生回路170は、16段の積算回路101, 102, 103, \dots , 104, 105に与える逆拡散コードとして、第1段階処理において図3Aに示すPSCの第1基本構成である16ビットコードを発生し、第2段階処理において図3Bに示すSSC第1基本構成である16ビットコード

を発生し、第3段階処理において図示しないスクランプリングコードを発生する。

また、コード発生回路170は、16段の第1選択回路131, 132, 133, …、134, 135に与える拡散コードとして、第1段階処理において図3Aに示すPSCの第2基本構成である16ビットコードを発生し、2段階処理において図3Bに示すSSCの第2基本構成である16ビットコードを発生し、第3段階処理において固定値を発生する。

16段の積算回路101, 102, 103, …、104, 105は、受信データとコード発生回路170からの逆拡散コードの積を求める。16段の記憶回路111, 112, 113, …、114, 115は、16段の積算回路101, 102, 103, …、104, 105の演算結果と保持しているデータとを加算し、その加算した結果を新たに保持することを行う。

16段の第1選択回路131, 132, 133, …、134, 135は、コード発生回路170からの拡散コードに従って、16段の記憶回路111, 112, 113, …、114, 115の保持データをそのまま出力するか正負を反転させて出力するかを行う。16段の第2選択回路141, 142, 143, …、144, 145は、RAM150の出力と“0”とのいずれか一方を選択して出力する。

16段の加算回路121, 122, 123, …、124, 125は、16段の第1選択回路131, 132, 133, …、134, 135が選択した値と、16段の第2選択回路141, 142, 143, …、144, 145が選択した値とを加算する。第3選択回路190は、16段の加算回路121, 122, 123, …、124, 125の出力を選択してRAM150に格納することを行う。

次に、以上のように構成される相関値演算回路において実施される三段階セルサーチを各段階に分けて説明する。なお、16段の各段における処理動作は同様であるので、第1段目のデータパスを例に挙げて説明する。受信データは、

1 スロットが図 1 に示したように 2 5 6 0 チップで構成されている。

第 1 段階の処理では、コード発生回路 1 7 0 は、積算回路 1 0 1 にて受信データと掛け合わせる逆拡散コードとして図 3 A に示した P S C を構成するコード a の 1 6 ビットを 1 ビットずつ順々に発生する。したがって、積算回路 1 0 1 では、受信データとコード a の各ビットとの積が順々に求められる。

記憶回路 1 1 1 は、積算回路 1 0 1 での演算結果と記憶回路 1 1 1 自体が保持しているデータとの和を求め、その求めた和を再度保持することをコード a の 1 6 ビット分繰り返し行う。そして、コード a の 1 6 ビット分全ての受信データとの積和を求めると、その積和データを第 1 選択回路 1 3 1 を介して加算回路 1 2 1 に渡す。

このようにして得られた積和データは、P S C との相関を求めるときの、あるタイミングでは受信データにおける最初の 1 6 チップ分の相関値、即ち $C_{PSC}(0)$ から $C_{PSC}(15)$ との相関結果を表し、またあるタイミングでは次の 1 6 チップの相関値、即ち $C_{PSC}(16)$ から $C_{PSC}(31)$ との相関結果を表し、またあるタイミングではその次の 1 6 チップの相関値、即ち $C_{PSC}(32)$ から $C_{PSC}(47)$ との相関結果を表し、・・・、またあるタイミングでは最後の 1 6 チップとの相関値、即ち $C_{PSC}(240)$ から $C_{PSC}(255)$ との相関結果を表していることになる。

上記したそれぞれのタイミングにおいて、コード a は、正極性状態の “a” と負極性に反転した “-a” との繰り返し特性が、それぞれのタイミングに応じた繰り返し特性となっている。そこで、コード発生回路 1 7 0 は、記憶回路 1 1 1 から加算回路 1 2 1 に積和データを渡すときに、コード a の繰り返し特性から相関処理をしているタイミングが上記の何れのタイミングであるかを判断し、そのままの状態で渡すか、あるいは正負を反転して渡すかを指定する拡散コードを発生し、第 1 選択回路 1 3 1 に与えている。

今の例では、第 1 段階目の相関処理であるので、受信データにおける最初の 1 6 チップ分の相関値、即ち $C_{PSC}(0)$ から $C_{PSC}(15)$ との相関を取るタイ

ミングである。したがって、コード発生回路 170 は、最初の 16 チップ分のタイミングでは、「そのままの状態で渡す」を内容とする拡散コードを発生し、その他の場合は、「正負を反転して渡す」を内容とする拡散コードを発生する。

その結果、第 1 選択回路 131 では、コード発生回路 170 からの拡散コードが「そのままの状態で渡す」であるときは、記憶回路 111 からの積和データを直接加算回路 121 の一方の入力端に出力する一方、拡散コードが「正負を反転して渡す」であるときは、記憶回路 111 からの積和データに “-1” を乗算したものを加算回路 121 の一方の入力端に出力することが行われる。

加算回路 121 の他方の入力端には、第 2 選択回路 141 の出力が与えられている。第 2 選択回路 141 では、第 1 選択回路 131 から送られてくるデータが $C_{PSC}(0)$ から $C_{PSC}(15)$ との相関結果のときは “0” を選択し、それ以外のときは RAM 150 の出力データを選択するようになっている。

その結果、加算回路 121 では、第 1 選択回路 131 から送られてくる積和データが $C_{PSC}(0)$ から $C_{PSC}(15)$ との相関結果のときは、第 2 選択回路 141 からそのままの状態を入力されるので、第 1 選択回路 131 から送られてきた値を第 3 選択回路 190 を介して RAM 150 に格納する。

一方、加算回路 121 では、第 1 選択回路 131 から送られてくる積和データが $C_{PSC}(0)$ から $C_{PSC}(15)$ との相関結果のとき以外は、第 1 選択回路 131 から送られてきた積和データのタイミングに対応して RAM 150 に格納している場所のデータを第 2 選択回路 141 から受け取るので、この 2 つのデータの和を求め、第 3 選択回路 190 を介して RAM 150 のデータを受け取った場所に格納する。

つまり、第 3 選択回路 190 は、加算回路 121 から加算回路 125 までの各段の出力を選択して RAM 150 の対応する格納場所に格納する。以上の動作を RAM 150 の 16 個のタイミングそれぞれに対応した格納場所に対して実施する。このようにして 256 コード長の PSC と 256 チップの受信データとの相関が求められる。なお、PSC との相関値が求められると、電力計

算が実行されるが、これは本発明の直接的事項ではないので説明を省略する。

そして、第1段目では、上述のように、積算回路101、記憶回路111、第1選択回路131、加算回路121及び第2選択回路141を通してRAM150でPSCとの相関を求めるが、このデータパスでは16チップ間隔の相
5 関が求められるだけである。

そこで、第2段目に1チップずれたデータに対して上述のような方法によりPSCとの相関を求める積算回路102、記憶回路112、第1選択回路132、加算回路122及び第2選択回路142を設け、第3段目に2チップずれ
10 に対してPSCとの相関を求める積算回路103、記憶回路113、第1選択回路133、加算回路123及び第2選択回路143を設け、以下同様に、第16段目に15チップずれに対してPSCとの相関を求める積算回路105、記憶回路115、第1選択回路135、加算回路125及び第2選択回路145を設けている。これによって、256チップのマッチドフィルタを用いなく
15 ても全てのタイミングに対してPSCとの相関を求めることができるようになる。

次に、第2段階の処理では、受信データに対して16種類あるSSC($C_{SSC,0} \sim C_{SSC,15}$)に対して相関を求める。コード発生回路170は、積算回路101で受信データと掛け合わせる逆拡散コードとして図3Bに示したSSCを構成するコード「 $b(0) \times h'_{0(0)} \sim b(15) \times h'_{0(15)}$ 」の16
20 ビットを1ビットずつ順々に発生する。したがって、積算回路101では、受信データとコード「 $b(0) \times h'_{0(0)} \sim b(15) \times h'_{0(15)}$ 」の各ビットとの積が順々に求められる。

積算回路101では、コード「 $b(0) \times h'_{0(0)} \sim b(15) \times h'_{0(15)}$ 」と受信データとの積和が求まると第1選択回路131にデータを送る。
25 第1選択回路131では、コード発生回路170からの拡散コードに従い、求めるSSCのコードによってそのまま送るか正負を反転させるかを決定し加算回路121に送る。

加算回路 1 2 1 では、第 1 選択回路 1 3 1 から送られてくるデータが最初の 1 6 チップに対する相関結果のとき以外は第 1 選択回路 1 3 1 から送られてきたデータと相関を求めようとする $SSC(C_{SSC,0} \sim C_{SSC,15})$ に対応して RAM 1 5 0 に格納している場所のデータを受け取り、この 2 つのデータの和を
5 求め、RAM 1 5 0 のデータを受け取った場所に格納する。

このようにして第 1 段目の相関を求める系である積算回路 1 0 1、記憶回路 1 1 1、加算回路 1 2 1、第 1 選択回路 1 3 1 及び第 2 選択回路 1 4 1 にて 2 5 6 コード長の 1 6 種類の $SSC(C_{SSC,0} \sim C_{SSC,15})$ とある 1 タイミングからの 2 5 6 チップの受信データとの相関を求めることができる。

10 通常、第 2 段階の処理では、複数のタイミングに対して行う必要があるが、他のタイミングに対しては第 2 段目～第 1 6 段目の系（積算回路 1 0 2、記憶回路 1 1 2、第 1 選択回路 1 3 2、加算回路 1 2 2 及び第 2 選択回路 1 4 2、あるいは、積算回路 1 0 3、記憶回路 1 1 3、第 1 選択回路 1 3 3、加算回路 1 2 3 及び第 2 選択回路 1 4 3、・・・、積算回路 1 0 5、記憶回路 1 1 5、
15 第 1 選択回路 1 3 5、加算回路 1 2 5 及び第 2 選択回路 1 4 5）にて求めることができるので、最大 1 6 タイミング分の $SSC(C_{SSC,0} \sim C_{SSC,15})$ との相関を求めることができる。

このように複数のタイミングでの相関を求める系が 1 6 段あるので、相関を求める系が 1 系統しかないマッチドフィルタで構成した場合に必要であった
20 受信データを蓄積しておく蓄積 RAM が不要になる。

最後に、第 3 段階の処理では、第 2 段階で同定されたスクランプリングコードグループに属する 8 つのスクランプリングコードに対して相関を求める。1 つのスクランプリングコード 2 5 6 コード長分と受信データ 2 5 6 チップとの相関を求めるのに 1 6 段ある相関を求める系の 1 段を使用する。

25 例として第 1 段目を使用する場合を挙げる。積算回路 1 0 1 にて受信データとコード発生回路 1 7 0 が発生するスクランプリングコード 1 ビットとの相関を求め、記憶回路 1 1 1 に送る。記憶回路 1 1 1 では、スクランプリングコ

ード256ビットと受信データ256チップ分の相関を求めると、それを第1選択回路131に渡す。

加算回路121では256チップ分の相関を求めるので、コード発生回路170からの拡散コードに従い第1選択回路131では常に加算回路121の相関値を選択して加算回路121に渡す。第2選択回路141も同様に記憶回路111で受信データ256チップ分との相関が求まっているので常に“0”を選択する。したがって、加算回路121では記憶回路111の値がそのまま出力される。第3選択回路190では、加算回路121の出力が選択され、RAM150に格納される。

10 8つのスクランプリングコードに対する相関値は、第1段目から第8段目の相関を求める系で同様にして求めることができる。相関を求める系は、16段あるので最大2タイミングの受信データに対しスクランプリングコードとの相関を求めることができる。

15 このように、本実施の形態によれば、拡散コードとの相関を求めるのに、近似処理を行うことなく、また256チップのマッチドフィルタ及び蓄積RAMを使用せずに相関を求めることができる。しかも、データバス上の演算回路は、256チップのマッチドフィルタと比較して大幅に削減できる。

本明細書は、2003年4月14日出願の特願2003-109513に基づく。この内容はすべてここに含めておく。

20

産業上の利用可能性

回路規模を増大させるマッチドフィルタ及び蓄積RAMを使用せずに相関を求めることができ、回路規模の削減及び相関演算時における消費電力を抑えることができる。

請求の範囲

1. 受信データと逆拡散コードとの積を求める16段の積算手段と、
前記積算手段の演算結果と保持しているデータとを加算し、その加算結果を
- 5 新たに保持する16段の第1記憶手段と、
拡散コードに従い、前記第1記憶手段からのデータと前記第1記憶手段からのデータを正負反転させたデータとのいずれか一方を選択して出力する16段の第1選択手段と、
256サンプル分のデータを保持する第2記憶手段と、
- 10 前記第2記憶手段が保持しているデータとゼロとのいずれか一方を選択する16段の第2選択手段と、
前記第1選択手段が選択出力するデータと前記第2選択手段が選択出力するデータとの和を求める16段の加算手段と、
前記16段の加算手段の加算結果のうちの一つを選択して前記第2記憶手
- 15 段に送る第3選択手段と、
前記16段の積算手段に与える逆拡散コードとして、一次同期コードの第1基本構成である16ビットコードと二次同期コードの第1基本構成である16ビットコードとスクランプリングコードとをそれぞれ発生し、前記16段の第1選択手段に与える拡散コードとして、一次同期コードの第2基本構成である16ビットコードと二次同期コードの第2基本構成である16ビットコードと固定値とをそれぞれ発生するコード発生手段と、を具備することを特徴とする相関値演算回路。
- 20

1/5

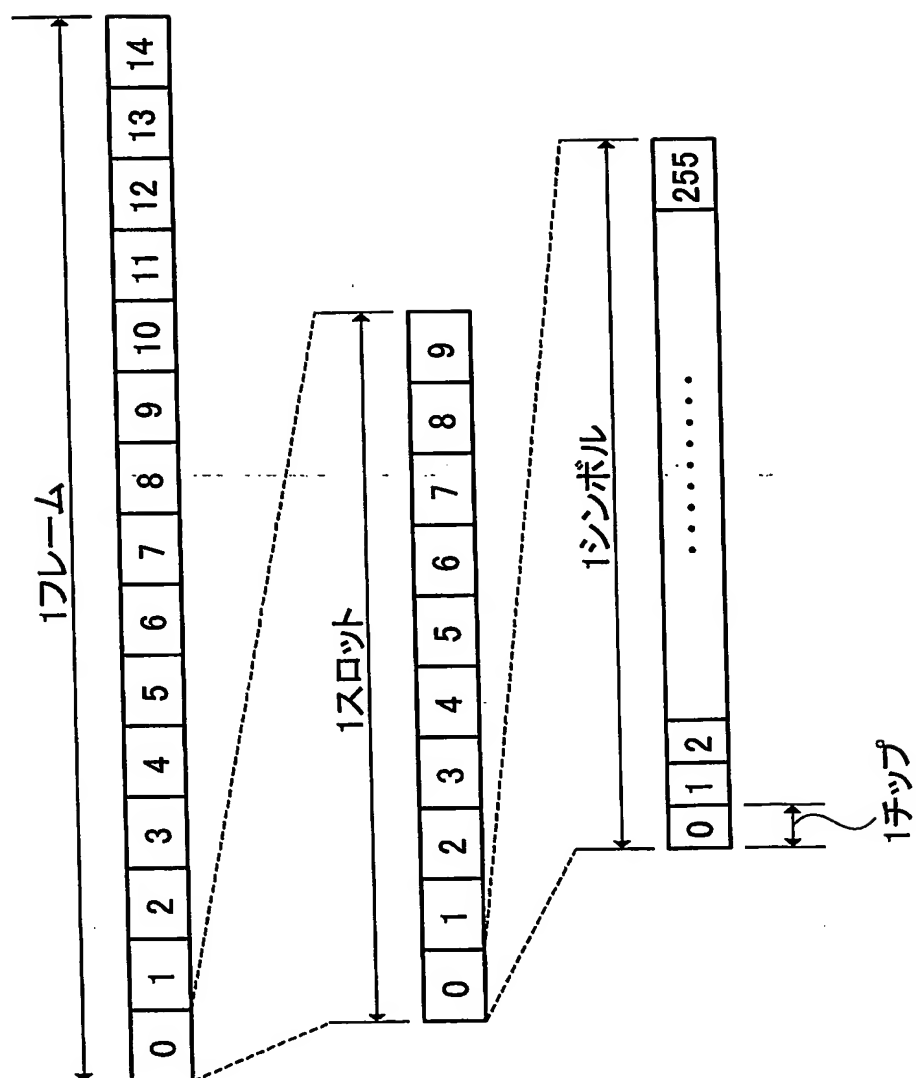


図 1

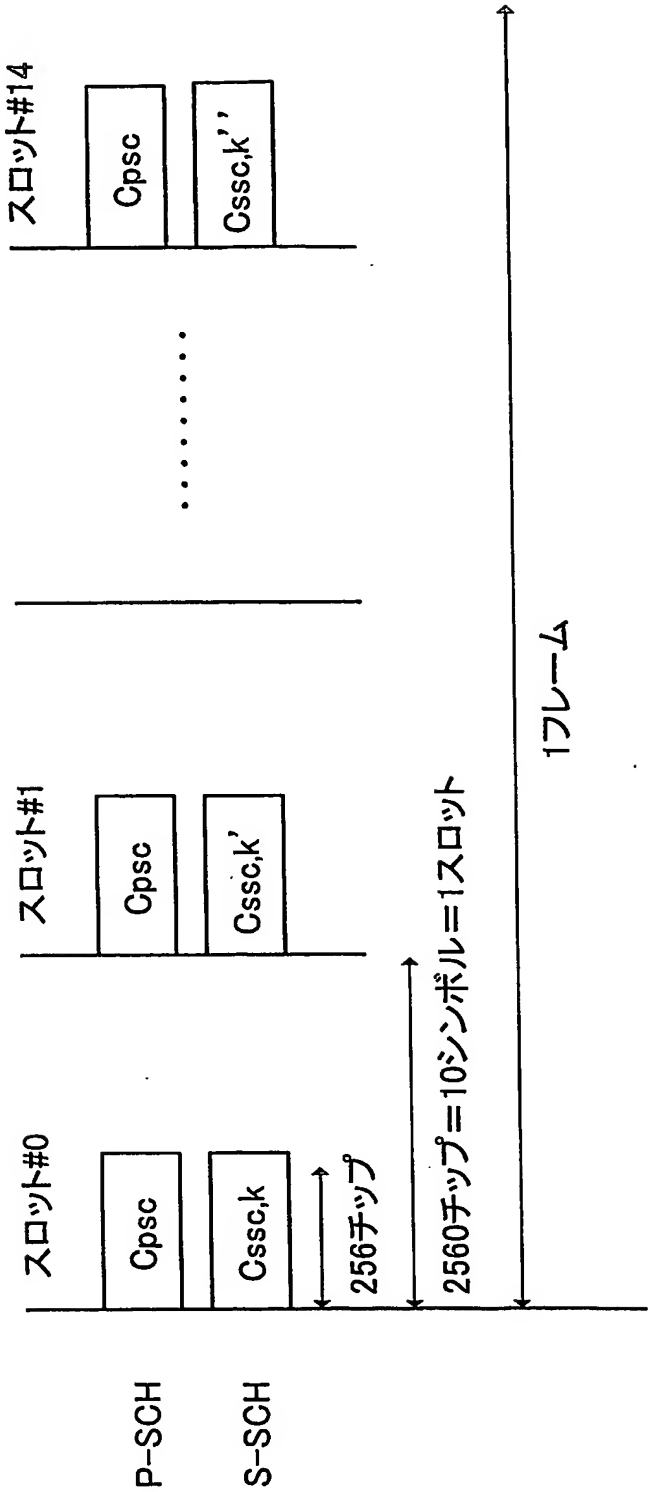


図 2

3/5

$$C_{psc} = (1+j) \times \langle a, a, a, -a, -a, a, -a, -a, a, a, a, -a, a, -a, a, a \rangle$$

$$\text{where } a = \langle 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, 1, -1, -1, 1 \rangle$$



Hadamard sequence

$$H_0 = [1]$$

$$\begin{pmatrix} H_{n-1} & H_{n-1} \\ H_{n-1} & -H_{n-1} \end{pmatrix}$$

$$H_8 = \begin{pmatrix} h_0 \\ h_1 \\ h_2 \\ \vdots \\ h_{255} \end{pmatrix} = \begin{pmatrix} h_0(0) & h_0(1) & \dots & h_0(255) \\ h_1(0) & h_1(1) & \dots & h_1(255) \\ h_2(0) & h_2(1) & \dots & h_2(255) \\ \vdots & \vdots & \ddots & \vdots \\ h_{255}(0) & h_{255}(1) & \dots & h_{255}(255) \end{pmatrix}$$

$$z = \langle b, b, b, -b, b, b, -b, -b, b, -b, b, -b, -b, -b, -b, -b \rangle$$

$$b = \langle 1, 1, 1, 1, 1, 1, -1, -1, -1, 1, -1, 1, -1, 1, 1, -1 \rangle$$

$$C_{ssc,k} = (1+j) \times \langle hm(0) \times z(0), \dots, hm(255) \times z(255) \rangle$$

$$\text{where } m = 16 \times (k-1), k=1 \sim 15$$



4/5

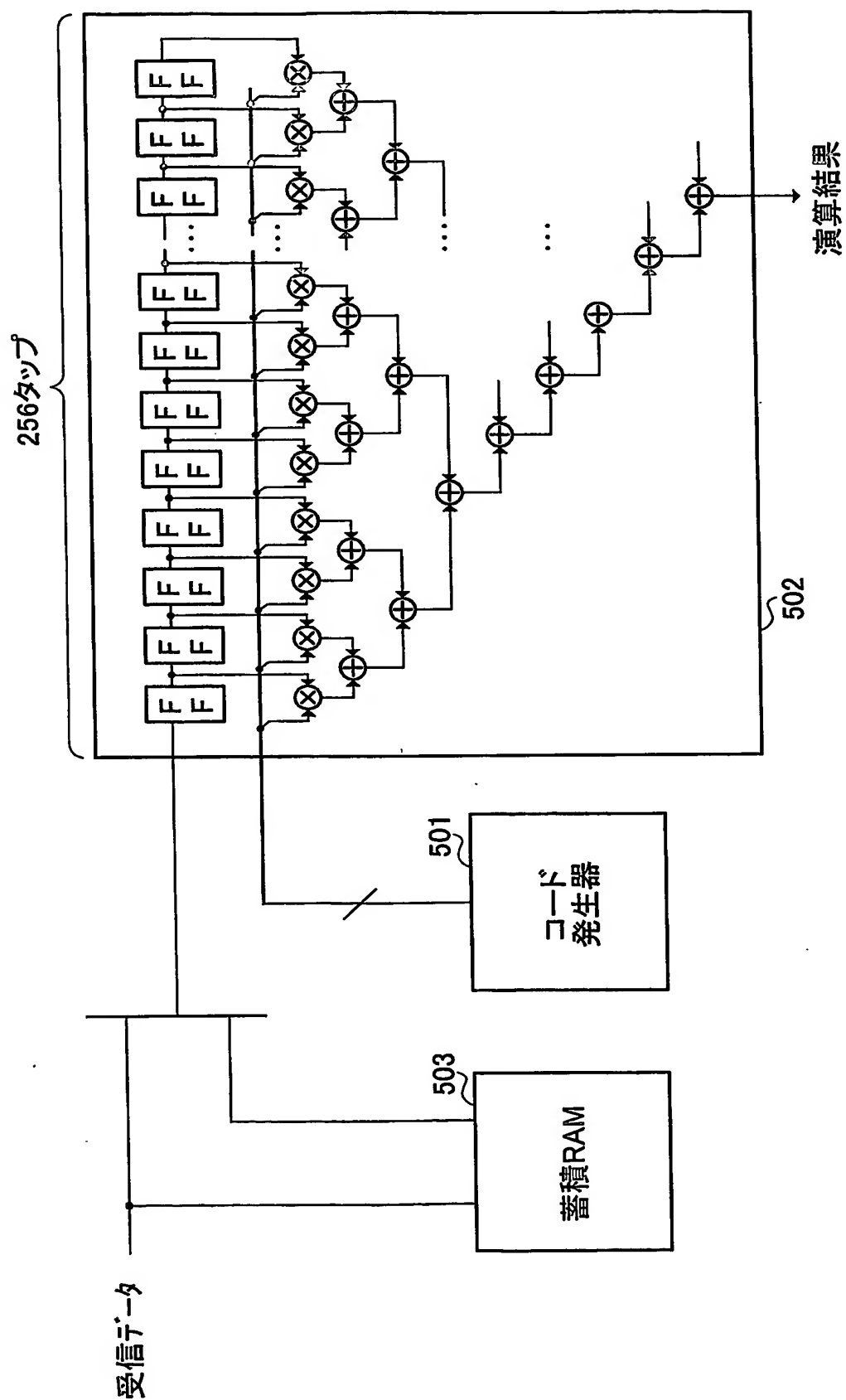


図 4

5/5

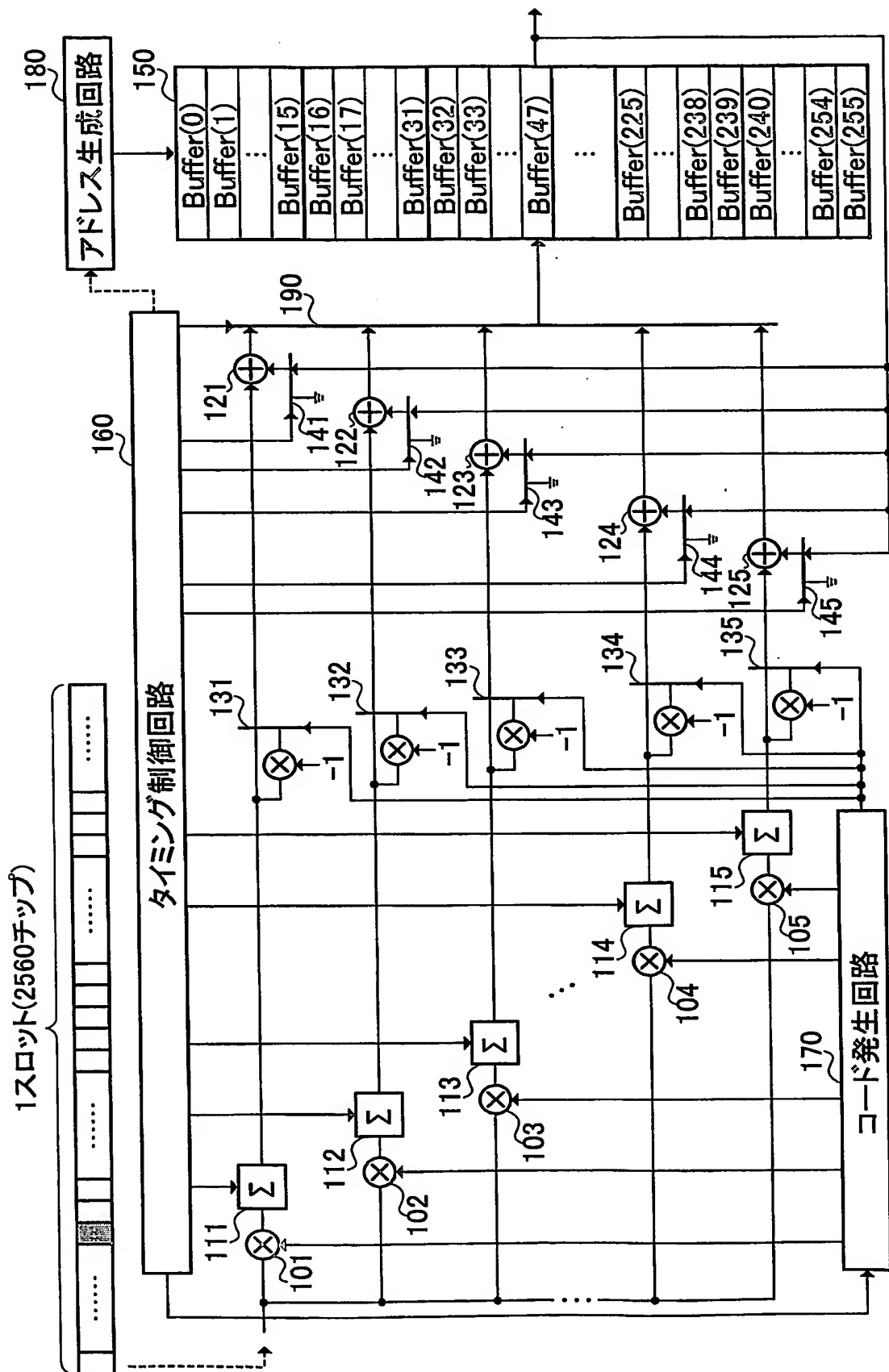


図 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005113

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H04B1/707

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.C1⁷ H04B1/69-1/713, H04J13/00-13/06, H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1926-1996 | Toroku Jitsuyo Shinan Koho | 1994-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Jitsuyo Shinan Toroku Koho | 1996-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2002-57602 A (Motorola, Inc.), 22 February, 2002 (22.02.02), Par. Nos. [0005] to [0012]; Fig. 3 (Family: none) | 1 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2004 (04.06.04)Date of mailing of the international search report
22 June, 2004 (22.06.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04B 1/707

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04B 1/69-1/713, H04J13/00-13/06, H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926年-1996年

日本国公開実用新案公報 1971年-2004年

日本国登録実用新案公報 1994年-2004年

日本国実用新案登録公報 1996年-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| A | JP 2002-57602 A (モトローラ・インコーポレイテッド) 2002.02.22, 【0005】-【0012】, 第3図 (ファミリーなし) | 1 |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.06.2004

国際調査報告の発送日

22.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土居 仁士

5K

9371

電話番号 03-3581-1101 内線 3555